

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-091873

(43)Date of publication of application : 22.04.1988

(51)Int.Cl.

G11B 20/10

G10L 3/02

G10L 9/18

(21)Application number : 61-237374

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.10.1986

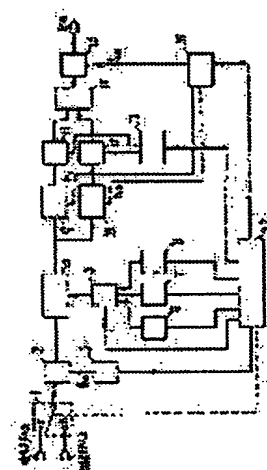
(72)Inventor : MISAKI MASAYUKI
NAONO HIROYUKI

(54) VOICE SOUND RECORDING AND REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To constitute the titled device for sound-recording and reproduction of a usual sound signal, double speed reproduction, and a musical interval conversion of a double speed sound signal, at a low cost by a single device, by controlling the outputs of a sampling frequency generating circuit, a write address generating circuit, a read-out address generating circuit, a write/read-out control circuit, and an amplitude control circuit.

CONSTITUTION: Outputs of first and second sampling frequency generating circuits 3, 16, a write address generating circuit 6, first and second read-out address generating circuits 7, 8, a write/read-out control circuit, and an amplitude control circuit 13 are controlled by a control circuit 17. That is to say, four modes of sound-recording and reproduction to a RAM of a usual voice, double speed reproduction from the RAM, and a musical interval conversion of a double speed voice input signal are changed and used. In such a manner, not only a sound signal sound-recorded in a digital memory can be reproduced at usual speed, but also the contents can be listened to fast without deteriorating a speaker's feature, in a usual musical interval and in a half time of usual, and also, this device can be used as a musical interval converter for converting a voice whose musical interval is raised by double speed reproduction, to the usual musical interval, and is obtained at a low cost by a simple constitution.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-91873

⑤ Int.Cl.⁴

G 11 B 20/10
G 10 L 3/02
9/18

識別記号

庁内整理番号

F-6733-5D
Z-8622-5D
Z-8622-5D

④ 公開 昭和63年(1988)4月22日

審査請求 未請求 発明の数 1 (全8頁)

⑬ 発明の名称 音声録音再生装置

⑭ 特 願 昭61-237374

⑮ 出 願 昭61(1986)10月6日

⑯ 発 明 者 三 崎 正 之 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑯ 発 明 者 直 野 博 之 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑰ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑱ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

音声録音再生装置

2、特許請求の範囲

(1) 第1、第2の標本化周波数発生回路と、前記第1の標本化周波数発生回路の出力であるサンプリングクロックで入力信号をディジタル信号に変換するアナログディジタル変換回路と、変換されたディジタル信号を記憶するディジタルメモリと、書き込み番地発生回路と、第1、第2の読み出し番地発生回路と、前記書き込み番地発生回路と第1、第2の読み出し番地発生回路とで発生するアドレスデータを入力として書き込み・読み出しの番地を前記ディジタルメモリへ出力し、かつ書き込み・読み出しの制御信号を前記ディジタルメモリへ出力する書き込み読み出し制御回路と、第1、第2の読み出し番地によって前記ディジタルメモリから読み出される各々の信号を前記第2の標本化周波数発生回路の出力であるサンプリングクロックでラッチする第1、第2の保持回路と、振幅

制御回路と、前記第1、第2の保持回路でラッチされた各々の信号に対して前記振幅制御回路の制御によって重み関数 $w_1(t)$ または $w_2(t)$ ($0 \leq w_1(t) \leq 1$, $0 \leq w_2(t) \leq 1$) を掛けあわせる第1、第2の乗算回路と、前記第1、第2の乗算回路の出力信号をそのまま、もしくは加算された信号を前記第2の標本化周波数発生回路の出力であるサンプリングクロックでアナログ信号に変換するディジタルアナログ変換回路と、前記第1、第2の標本化周波数発生回路、前記書き込み番地発生回路、前記第1、第2の読み出し番地発生回路、前記書き込み読み出し制御回路、前記振幅制御回路とを制御し、音声信号を前記ディジタルメモリへ録音することや、前記ディジタルメモリから録音時と同じ速さで音声再生することや、前記ディジタルメモリから音声を通常の音程でかつ録音時の2倍の速さで再生することや、倍速再生で音程の上がった音声の音程を通常の音程に変換すること等を可能とする制御回路とを備えた音声録音再生装置。

(2) アナログディジタル変換回路に適応形デルタ

変調方式の変調器を用い、かつ振幅制御を適応形デルタ変調方式の復調器において行うことを特徴とする特許請求の範囲第1項記載の音声録音再生装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、音声信号をデジタルメモリに録音再生し、かつ音声の早聞きを可能とする音程変換回路をも兼ねる音声録音再生装置に関するものである。

従来の技術

近年、半導体技術の進歩によりデジタルメモリの大容量化及び低コスト化が進み、デジタルメモリによって音声を長時間録音・再生する装置が実用化されつつある。また、テープレコーダやVTRに録音した音声を音程は一定でかつ録音時の2倍の速度で再生し、本来の半分の時間で内容を把握する早聞き装置も利用されるようになってきた。

以下、図面を参照しながら従来の音声記録再生

いて、以下その動作を説明する。

まず音声録音時の場合について述べる。まず音声信号は、標本化周波数発生回路26によって供給されるサンプリングクロック f_s でアナログデジタル変換回路21によってデジタル信号に変換される。一方、制御回路27によって読み出し書き込み制御回路23は、書き込みの状態を維持しており、デジタルメモリ22は前記デジタル信号をアドレス発生回路24で与えられるアドレスに書き込み、録音される。

次に再生時の場合であるが、制御回路27によって読み出し書き込み制御回路23は読み出しの状態を維持している。アドレス発生回路24で与えられたアドレスに従って、デジタルメモリ22から読み出されたデジタル信号は、サンプリングクロック f_s でデジタルアナログ変換回路25によってアナログ信号に変換されて音声出力となる。

発明が解決しようとする問題点

しかしながら上記の従来の構成では、アナログ

装置について説明を行う。

第7図は、従来の音声録音再生装置の構成を示したものである。第7図において、21は音声入力信号をデジタル信号に変換するアナログ・デジタル変換回路、22は前記デジタル信号を記憶するデジタルメモリ、23はデジタルメモリ22の読み出し及び書き込みの制御をする読み出し書き込み制御回路、24はデジタルメモリ22にアドレスを供給するアドレス発生回路、25はデジタルメモリ22から読み出されたデジタル信号をアナログの音声信号に変換するデジタルアナログ変換回路、26はアナログデジタル変換回路21及びデジタルアナログ変換回路25にサンプリング・クロックを供給する標本化周波数発生回路、27はデジタルメモリ22に読み出し書き込みの制御を行う読み出し書き込み制御回路23およびアドレス発生回路24に対し、音声の録音・再生および録音・再生の開始・停止を制御するための制御回路である。

以上のように構成された音声録音再生装置につ

デジタル変換回路21のサンプリングクロックとデジタルアナログ変換回路25のサンプリングクロックが同一であり、デジタルメモリ22に録音された音声信号は、録音時と同じ時間をかけて再生する（通常の早さでの再生）ことしかできない。すなわち、録音された音声を録音時より短時間で早聞きすることはできない。

また、単純にデジタルメモリ22より録音した音声を高速に読み出し、デジタルアナログ変換回路25のサンプリングクロック f_s を録音時より高速にすることによって、録音した内容を録音時より短時間で再生することができるが、この場合は音程が通常より高くなり、内容を聞きとりにくくなり、話者の特徴が表われなくなる。このため、デジタルメモリ22に録音した音声を通常の音程で録音時より短時間で早聞きするためには、まず上述したようにデジタルメモリ22より録音した音声を周期 $1/f_s$ で高速に読み出し、デジタルアナログ変換回路25のサンプリングクロック f_s を録音時より高速にして、いったん

アナログ信号に変換し、この音程の上がった音声
を再び音程変換装置を用いることによって通常の
音程に変換するしかなく、全体の装置が複雑で多
大なコストアップにならざるを得なかった（音程
変換装置の構成について、例えば日経エレクトロ
ニクス1976.7.26「会話の時間軸を圧縮伸
長するテープレコーダ」があげられる）。

本発明は上記問題点に鑑み、デジタルメモリ
に録音した音声信号を通常の早さで再生できる以
外に、通常の音程でかつ通常の半分の時間で話者
の特徴が損われることなく内容を早聞きすること
ができ、またテープレコーダ等の2倍速再生で音
程の上がった音声を通常の音程に変換する音程変
換装置として用いることも可能な音声録音再生装
置を簡素な構成で安価に提供するものである。

問題点を解決するための手段

この目的を達成するために本発明の音声録音再
生装置は、第1、第2の標本化周波数発生回路と、
デジタルメモリと前記第1の標本化周波数発生
回路の出力であるサンプリングクロックで入力信

路の出力であるサンプリングクロックでアナログ
信号に変換するデジタルアナログ変換回路と、
前記第1、第2の標本化周波数発生回路、前記書
き込み番地発生回路、前記第1、第2の読み出し
番地発生回路、前記書き込み読み出し制御回路、
前記振幅制御回路とを制御する制御回路とを備え
ている。

作 用

本発明は、制御回路によって第1、第2の標本
化周波数発生回路、書き込み番地発生回路、第1、
第2の読み出し番地発生回路、書き込み読み出し
制御回路、振幅制御回路の出力を制御し、音声を
デジタルメモリへ録音することや、デジタル
メモリに録音した音声を通常の早さで再生するこ
とや、デジタルメモリに録音した音声を通常の
音程でかつ録音時の2倍の速さで再生することや、
例えばテープレコーダ等の2倍速再生で音程の上
がった音声の音程を通常の音程に変換することが
できるものである。

実 施 例

号をデジタル信号に変換するアナログデジタル
変換回路と、変換されたデジタル信号を記憶
するデジタルメモリと、書き込み番地発生回路
と、第1、第2の読み出し番地発生回路と、前記
書き込み番地発生回路と第1、第2の読み出し番
地発生回路とで発生するアドレスデータを入力と
して書き込み・読み出しの番地を前記デジタル
メモリへ出力し、かつ書き込み・読み出しの制御
信号を前記デジタルメモリへ出力する書き込み
読み出し制御回路と、第1、第2の読み出し番地
によって前記デジタルメモリから読み出される
各々の信号を前記第2の標本化周波数発生回路の
出力であるサンプリングクロックでラッチする第
1、第2の保持回路と、振幅制御回路と、前記第
1、第2の保持回路でラッチされた各々の信号に
対して前記振幅制御回路の制御によって重み関数
 $w_1(t)$ または $w_2(t)$ ($0 \leq w_1(t) \leq 1$, $0 \leq w_2(t) \leq 1$)を掛
けあわせる第1、第2の乗算回路と、前記第1、
第2の乗算回路の出力信号をそのまま、もしくは
加算された信号を前記第2の標本化周波数発生回

以下本発明の実施例について図面を参照しなが
ら説明する。第1図は本発明の一実施例における
音声録音再生装置の構成を示すものである。

第1図において、1は通常音声入力と2倍速音
声入力を切り換えてアナログデジタル変換回路
2へ出力する切り換え回路、2は第1の標本化周
波数発生回路3によって与えられたサンプリング
クロック f_{AD} によって切り換え回路1の出力をデ
ジタル信号に変換するアナログデジタル変換
回路、4はアナログデジタル変換回路2の出力
を書き込み読み出し制御回路5の制御によって記
録するランダムアクセスメモリ（以下RAMと称
す）、5は書き込み番地発生回路6と第1の読み
出し番地発生回路7と第2の読み出し番地発生回
路8から与えられるアドレス信号及び書き込み・
読み出しの制御信号をRAM4へ出力する書き込
み・読み出し制御回路、9、10は第2の標本化
周波数発生回路10によって与えられるサンプリ
ングクロック f_{L1} 、 f_{L2} によってRAM4から読
み出された信号をラッチする第1、第2の保持回

路、11、12は第1、第2の保持回路9、10の出力に、振幅制御回路13の制御によって重み関数を掛け算する第1、第2の乗算回路、14は第1、第2の乗算回路11、12の出力を加算する加算回路、15は第2の標本化周波数発生回路16によって与えられるサンプリングクロック f_{DA} によって加算器14の出力をアナログ信号に変換するデジタルアナログ変換回路、17は切り換え回路1、第1、第2の標本化周波数発生回路3、16、書き込み読み出し制御回路5、書き込み番地発生回路6、第1、第2の読み出し番地発生回路7、8、振幅制御回路13を制御する制御回路である。

以上のように構成された音声録音再生装置について以下その動作について説明する。

本装置は(i)通常音声のRAMへの録音、(ii)RAMからの通常再生、(iii)RAMからの2倍速再生、(iv)2倍速音声入力信号の音程変換の4つのモードを制御回路17の制御によって各部分の動作を変えて使用する。

以下4つのモードについてその動作を説明する。

尚、第1表は、制御回路17が制御している各回路の4つのモードでの動作を示したものである。

以下 余 白

第 1 表

| | (i) 通常音声のRAMへの録音 | (ii) RAMからの通常再生 | (iii) RAMからの2倍速再生 | (iv) 2倍速音声入力信号の音程変換 |
|--------------------|--------------------|---|--|---|
| 切り換え回路 (1) | T 側 | OFF | OFF | B 側 |
| 第1の標本化周波数発生回路 (3) | $f_{AD} = f_{AD1}$ | OFF | OFF | $f_{AD} = f_{AD2}$ (周期: T) |
| 書き込み番地発生回路 (6) | ON | OFF | OFF | ON |
| 第1の読み出し番地発生回路 (7) | OFF | ON | ON | ON |
| 第2の読み出し番地発生回路 (8) | OFF | OFF | ON | ON |
| 書き込み読み出し制御回路 (5) | Read/Write | 書き込み | 読み出し | 読み出し |
| | Address | (6)の出力 | (7)の出力 | (7), (8)の出力を時分割出力 |
| 振幅制御回路 (13) | OFF | $w_1(t) = 1$ $w_2(t) = 0$ | $w_1(t) = g_1(t)$ $w_2(t) = g_2(t)$ | $w_1(t) = g_1(t)$ $w_2(t) = g_2(t)$ |
| 第2の標本化周波数発生回路 (16) | OFF | $f_{L1} = f_{AD1}$ $f_{L1} : \text{OFF}$ $f_{DA} = f_{AD1}$ | $f_{L1} = f_{AD1}$ $f_{L1} = f_{AD1}$ $f_{DA} = f_{AD1}$ | $f_{L1} = \frac{1}{2} f_{AD2}$ (周期: 2T) $f_{L2} = \frac{1}{2} f_{AD2}$ (周期: 2T) $f_{DA} = \frac{1}{2} f_{AD2}$ (周期: 2T) |

(i) 通常音声のRAM4への録音モード

制御回路17は各部分の動作を第1表に示したように制御する。まず、通常音声入力信号は、第1の標準化周波数発生回路3の出力であるサンプリングクロック $f_{AD}=f_{AD1}$ でアナログデジタル変換回路2によってアナログ信号からデジタル信号に変換される。書き込み・読み出し制御回路5は、RAM4に対し書き込み制御信号と、書き込み番地発生回路6で発生した書き込み番地を出力する。RAM4は、アナログデジタル変換回路2の出力であるデジタル信号を書き込み・読み出し制御回路5によって与えられた番地に書き込み記憶する。

(ii) RAM4からの通常再生モード

制御回路17は、各部分の動作を第1表に示したように制御する。書き込み・読み出し制御回路5は、RAM4に対し読み出し制御信号と、第1の読み出し番地発生回路7で発生した読み出し番地を出力する。RAM4は、書き込み・読み出し制御回路5によって与えられた番地からデータを

出される。またフレーム間の不連続点でのノイズが発生するため本装置では、第2図(d), (e)のような振幅制御を行う。振幅制御回路13は、フレーム間の波形接続点で振幅が零となるように乗算回路で重み関数 $w_1(t)=g_1(t)$, $w_2(t)=g_2(t)$ を掛けあわせるように制御する。さらに、第1, 第2の乗算回路11, 12の出力を加算することにより、子音・破裂音の話頭の音声情報が欠落することが防がれ、不連続点でのノイズの影響のない、了解性・自然性に優れた2倍速再生音声を得られる。

(iv) 2倍速音声入力信号の音程変換モード

ここで用いる2倍速音声の音程変換の方法は、例えば、特願昭60-69446号に記載の方法などが参考としてあげられる。音程変換処理時には、第3図に示したように、通常音声録音用メモリとは別に、ワークエリアの領域をRAM4の一部に設け、通常音声録音用メモリが消去されるのを防いでいる。

制御回路17は、各部分の動作を第1表に示したように制御する。

読み出して出力し、第2の標準化周波数発生回路16によって与えられるサンプリングクロック $f_{L1}=f_{AD1}$ で第1の保持回路9でラッチされる。振幅制御回路13は、重み関数 $w_1(t)=1$ すなわち、全く重み付けをしないように第1の乗算回路11を制御する。第1の乗算回路11の出力は、第2の標準化周波数発生回路16によって与えられるサンプリングクロック f_{DA} でデジタルアナログ変換回路15によってアナログ信号に変換される。

(iii) RAM4からの2倍速再生モード

制御回路17は、各部分の動作を第1表に示したように制御する。書き込み・読み出し制御回路5はRAM4に対し読み出し制御信号と、第1の読み出し番地発生回路7で発生した読み出し番地と、第2の読み出し番地発生回路8で発生した読み出し番地とを出力する。RAM4からのデータの読み出しは、第2図(b), (c)に示したように、時分割多重して2つの読み出し番地からデータを読み出す。このとき、データは、フレーム(固定フレーム長: 30~70 msec)単位で連続して読み

2倍速音声入力信号は、第1の標準化周波数発生回路3の出力であるサンプリングクロック $f_{AD}=f_{AD2}$ (周期T)で、アナログデジタル変換回路2によってアナログ信号からデジタル信号に変換される。書き込み・読み出し制御回路5はRAM4に対し、書き込みと読み出しの制御信号と、書き込み番地発生回路6で発生した書き込み番地と、第1, 第2の読み出し番地発生回路7, 8で発生した2つの読み出し番地とを出力する。RAM4への書き込み・読み出しは、第4図に示したように、一単位時間内に2回の書き込みと2回の読み出しを行う。RAM4から読み出されたデータは、フレーム(固定フレーム長: 30~70 msec)単位で連続して読み出される(第5図(b), (c))。またフレーム間の不連続点でのノイズが発生するため、本装置では第5図(d), (e)のような振幅制御を行う。振幅制御回路13はフレーム間の波形接続点で振幅が零となるように乗算回路で重み関数 $w_1(t)=g_1(t)$, $w_2(t)=g_2(t)$ を掛けあわせるように制御する。さらに第1, 第2の乗算回路

11, 12の出力を加算することにより、子音・破裂音の音声情報が欠落することが防がれ、不連続点でのノイズの影響のない、了解性・自然性の優れた2倍速音声で通常の音程で再生される。

以上のように本実施例によれば、制御回路17によって第1, 第2の標本化周波数発生回路3, 16, 書き込み番地発生回路6, 第1, 第2の読み出し番地発生回路7, 8, 書き込み・読み出し制御回路5, 振幅制御回路13の出力を制御することにより、従来より簡単な構成で、(i)通常音声信号のRAMへの録音、(ii)RAMからの通常再生、(iii)RAMからの2倍速再生、(iv)2倍速音声信号の音程変換を行うことができる。

なお本実施例では、振幅制御を行うための乗算をデジタル信号に対して行なっているが、デジタルアナログ変換後に行なって、その後に加算してもよい。

以下、本発明の他の実施例について図面を参照しながら説明する。

第6図は本発明の他の実施例における音声録音

本発明は、制御回路によって第1, 第2の標本化周波数発生回路、書き込み番地発生回路、第1, 第2の読み出し番地発生回路、書き込み・読み出し制御回路、振幅制御回路の出力を制御することにより、(i)通常音声信号のRAMへの録音、(ii)RAMからの通常再生、(iii)RAMからの2倍速再生、(iv)2倍速音声信号の音程変換を単一の装置で安価に構成する音声録音再生装置を実現できるのである。

4、図面の簡単な説明

第1図は本発明の一実施例における音声録音再生装置の構成を示すブロック図、第2図はRAMに録音済の音声の2倍速再生の原理図、第3図は本装置に使用するデジタルメモリのエリアを示す状態図、第4図は2倍速音声信号の音程変換時のRAMの書き込み・読み出しを説明するためのタイミングチャート、第5図は2倍速音声信号入力の音程変換方式を説明するためのタイミングチャート、第6図は本発明の他の実施例における音声録音再生装置のブロック図、第7図は従来の音

再生装置を示すものである。本実施例では、第1図に示す第1の実施例と同じ構成には同一の番号を付した。本実施例は、アナログデジタル変換に適応形デルタ変調方式(以下ADM方式と称す)を用いるため、第1の構成とは異なっている。第6図において、18はADM方式変換回路、19, 20は第1, 第2のADM方式復調回路であり、第1の実施例における保持回路および乗算回路の動作も兼ねるものである。13は第1, 第2のADM方式復調回路19, 20の量子化幅を制御することによって振幅を変化させるための振幅制御回路である。ADM方式で振幅を変化させる方法としては、特願昭59-245141号などが参考としてあげられる。14はアナログ信号に対する加算回路である。

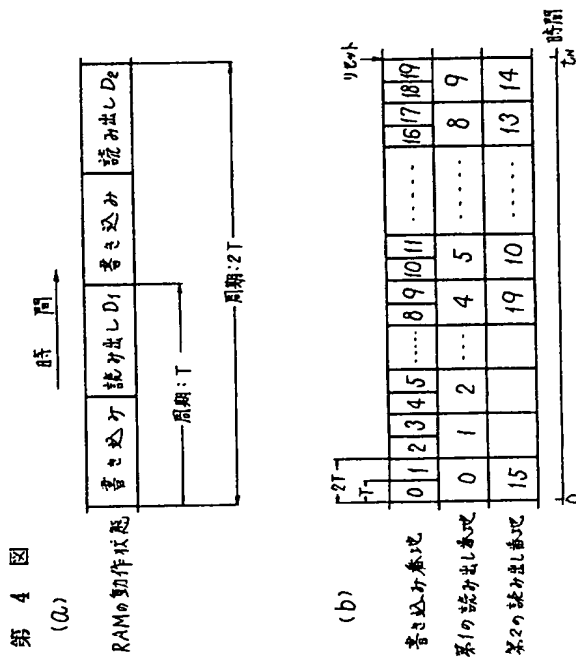
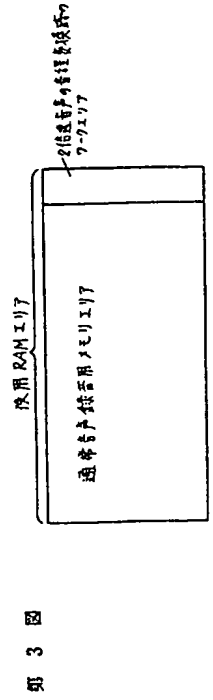
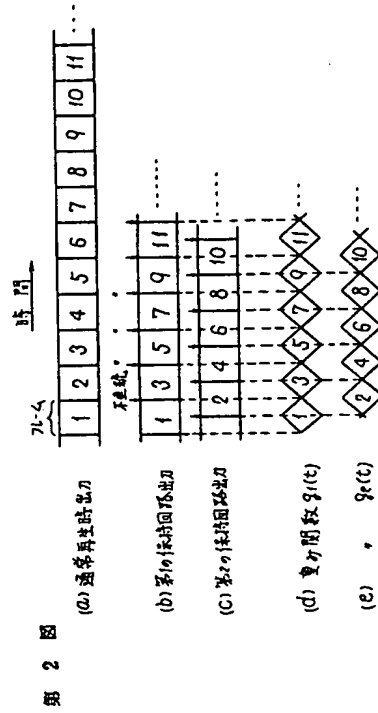
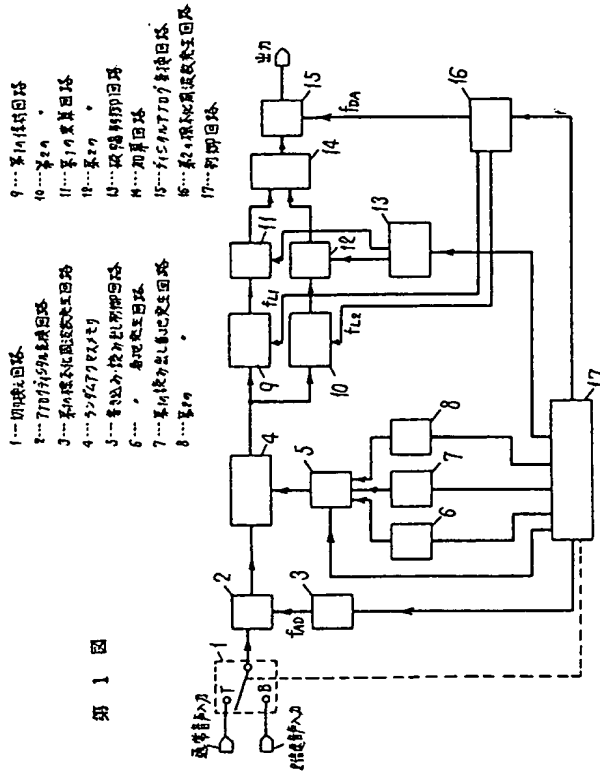
以上のように本実施例では、アナログデジタル変換方式にADM方式を用いたため、ハードウェア規模を小さくでき安価に本発明の音声録音再生装置を構成することができる。

発明の効果

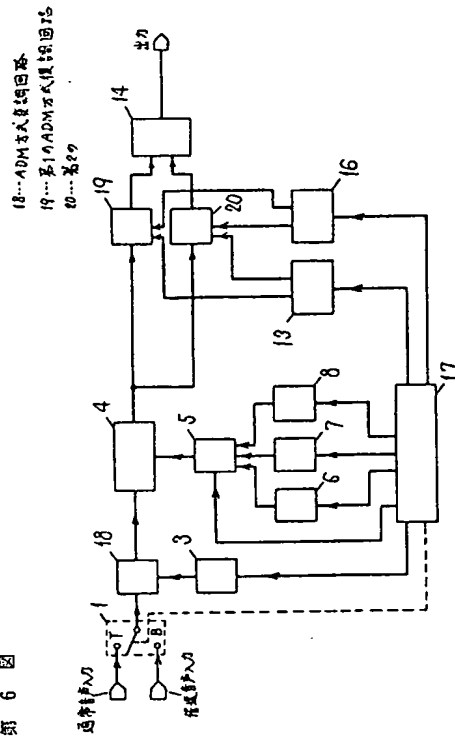
声録音再生装置のブロック図である。

1……切り換え回路、2……アナログデジタル変換回路、3……第1の標本化周波数発生回路、4……ランダムアクセスメモリ、5……書き込み・読み出し制御回路、6……書き込み番地発生回路、7……第1の読み出し番地発生回路、8……第2の読み出し番地発生回路、9……第1の保持回路、10……第2の保持回路、11……第1の乗算回路、12……第2の乗算回路、13……振幅制御回路、14……加算回路、15……デジタルアナログ変換回路、16……第2の標本化周波数発生回路、17……制御回路、18……ADM方式変調回路、19……第1のADM方式復調回路、20……第2のADM方式復調回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名



第 6 図



第 7 図

